

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05063137 A**

(43) Date of publication of application: **12 . 03 . 93**

(51) Int. Cl.

**H01L 25/065**

**H01L 25/07**

**H01L 25/18**

(21) Application number: **03219109**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **30 . 08 . 91**

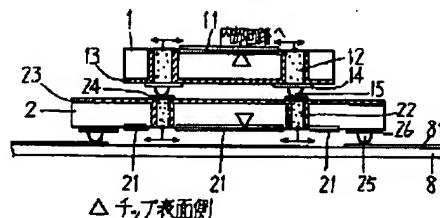
(72) Inventor: **TANIGAWA KOJI  
ITO YOSHIHIRO**

(54) **SEMICONDUCTOR DEVICE**

(57) Abstract:

PURPOSE: To facilitate positioning at the time of laminating chips while allowing lamination of a number of chips in relation to a semiconductor device in which a plurality of discrete elements are mounted.

CONSTITUTION: An semiconductor device is so composed that a plurality of semiconductor chips 2 are laminated and the chips 2 have electrodes to be connected through the through holes 12, 22 going through the chips on the surface and the rear thereof so as to perform mutual connection of chips 2 by the electrodes.



COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-63137

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl. <sup>5</sup> H 0 1 L 25/065 25/07 25/18	識別記号 7220-4M	庁内整理番号 H 0 1 L 25/ 08	F I B	技術表示箇所
--	-----------------	--------------------------	----------	--------

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平3-219109

(22)出願日 平成3年(1991)8月30日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 谷川 恒治

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 伊藤 嘉宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

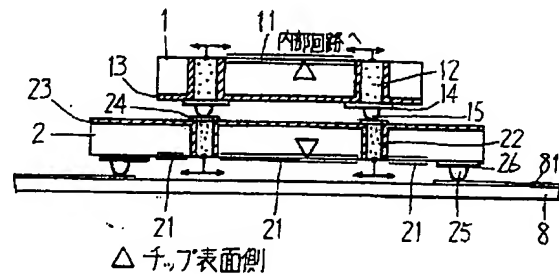
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 複数の単体素子を階層構造に実装した半導体装置に関し、チップを重ねる際の位置合わせが容易で、且つ多数チップの積層を可能とすることを目的とする。

【構成】 複数の半導体チップが積層されてなり、該チップはその表面及び裏面に該チップを貫通するスルーホールを通じて接続する電極を有し、該電極によりチップ相互間の接続が行われているように構成する。

実施例の断面図



## 【特許請求の範囲】

【請求項 1】 複数の半導体チップが積層されてなり、該チップはその表面及び裏面に該チップを貫通するスルーホールを通じて接続する電極を有し、該電極によりチップ相互間の接続が行われていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置に係り、特に複数の単体素子を階層構造に実装した半導体装置に関する。

【0002】 近年、半導体装置はユーザのニーズに対応した製品の要求に伴い、機能の増加が必要となり、単体素子の複合化により対応する場合が多くなってきた。本発明はこの種の半導体装置のマウント構造として利用できる。

## 【0003】

【従来の技術】 従来から、複数の単体素子を集積して 1 つの半導体装置としたものにモジュールがある。

【0004】 図 2 (A)~(C) は従来例 1 の説明図である。図は、従来のモジュールの斜視図で、通常のモジュールは単体素子をパッケージングした後、1 つの半導体装置にまとめている。

【0005】 図 2 (A) はセラミック・MDIP (ミニDIP)、32ピン、図 2 (B) はセラミック・MDIP、44ピン、図 2 (C) はセラミック・MDIP、30ピンのモジュールである。従来のモジュールは、① パッケージングコストが高い。

【0006】 個々の単体素子のパッケージングコストとモジュール組み立てコストが必要となる。② 実装面積が大きくなる。

【0007】 のような問題点がある。そこで、個々の単体素子をパッケージングしないで、チップ状態で 1 つのパッケージに装着する構造や、さらに実装密度の高い構造としてチップを重ねて装着する所謂チップオンチップ構造が提案されている。

【0008】 図 3 (A),(B) は従来例 2 の説明図である。図は、チップオンチップ構造の断面図である。図において、1、2 は半導体チップ、11 は内部回路、3 はパッケージの基板、4 はパッケージのキャップ、5 は外部リード、6 はボンディング用ワイヤ、7 は接続用バンパである。

【0009】 チップオンチップ構造においては、図 3 (A) のようにチップ間の接続にワイヤボンディング、または図 3 (B) のようにバンパ構造の接続が用いられている。

## 【0010】

【発明が解決しようとする課題】 従来例のチップオンチップ構造において、ワイヤボンディングの場合は上側チップは下側チップより小さくし、下側チップにボンディ

ングスペースを持つことが必要でその分集積度が阻害されることになる。

【0011】 バンパ構造の接続の場合はチップの表面同士を対向させるため位置合わせが難しく、また積層チップ数も 2 個が限度である。本発明はチップオンチップ構造において、チップを重ねる際の位置合わせが容易で、且つ多数チップの積層を可能とすることを目的とする。

## 【0012】

【課題を解決するための手段】 上記課題の解決は、複数の半導体チップが積層されてなり、該チップはその表面及び裏面に該チップを貫通するスルーホールを通じて接続する電極を有し、該電極によりチップ相互間の接続が行われている半導体装置により達成される。

## 【0013】

【作用】 本発明では、各チップ表面に形成されたチップ間の相互配線用電極からチップを貫通するスルーホールを通じて接続する電極をチップ裏面に設けることにより、各チップの表面と表面、表面と裏面、裏面と裏面を対向させて多層に積層できるようにしている。

【0014】 この際、チップ両面にチップ間の相互接続用電極が存在するため、チップの表裏いずれの組み合わせに対しても位置合わせが容易であり、チップの多層積層が可能となる。

## 【0015】

【実施例】 図 1 は本発明の一実施例を説明する断面図である。図において、1 は第 1 チップ、11 は内部回路、12 は導電性材料を埋め込んだスルーホール、13 は絶縁膜で SiO<sub>2</sub>、SiON 膜等、14 はチップ間の相互接続用電極、15 はバンパ、2 は第 2 チップ、21 は内部回路、22 は導電性材料を埋め込んだスルーホール、23 は絶縁膜で SiO<sub>2</sub> 膜、SiON 膜等、24 はチップ間の相互接続用電極、25 はバンパ、26 は外部接続用電極または相互接続用電極、8 は TAB (Tape Automated Bonding) 用フィルム、81 は TAB 用フィルム上に形成された外部端子へ接続する配線である。

【0016】 図は、第 1 チップ 1 にスルーホール 12 とチップ裏面にバンパ構造 15 を設けて第 2 チップ 2 と相互接続し、さらに外部に入出力する端子 25 もバンパ (TAB) 構造とした例である。

【0017】 例えば、1 チップ CPU マイコンチップと外付 EPROM チップを組み合わせることにより、EPROM を内装した素子ができ、ユーザニーズに対応することができる。実施例では、TAB 用フィルム上に 2 個のチップを裏面同士対向させて組み合わせたが、チップの表裏に相互接続用電極が存在するため、チップ表裏の組み合わせは自由である。

【0018】 次に、実施例のスルーホールの形成の概略を説明する。スルーホールは異方性エッチングにより開口し、開口されたスルーホールの側壁には気相成長 (CVD) 法により SiO<sub>2</sub> または SiON 膜等の絶縁膜を成長させる。

【0019】スルーホールのエッチングは、リソグラフィを用いてSiに対して選択性の高い膜をパターンニングし、パターンニングされた前記選択性の高い膜をマスクにし異方性エッチングを行う。

【0020】スルーホールへの導電性材料の埋め込みは、タングステン等の選択CVD法、または電解メッキ法により行う。

【0021】

【発明の効果】チップオンチップ構造において、チップを重ねる際の位置合わせが容易で、且つ多数チップの積層を可能とする構造が得られた。

【0022】この結果、多機能化に対応した半導体装置を、ユーザのニーズに合わせて提供できるようになった。

【図面の簡単な説明】

【図1】 本発明の一実施例を説明する断面図

【図2】 従来例1の説明図

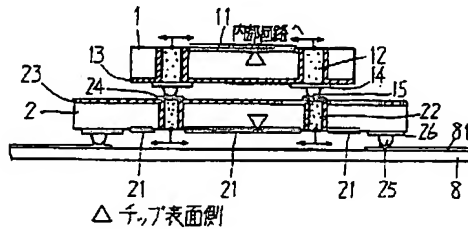
【図3】 従来例2の説明図

【符号の説明】

- 1 第1チップ
- 11 内部回路
- 12 導電性材料を埋め込んだスルーホール
- 13 絶縁膜でSiO<sub>2</sub>、SiON膜等
- 14 チップ間の相互接続用電極
- 15 バンプ
- 2 第2チップ
- 21 内部回路
- 22 導電性材料を埋め込んだスルーホール
- 23 絶縁膜でSiO<sub>2</sub>膜、SiON膜等
- 24 チップ間の相互接続用電極
- 25 バンプ
- 26 外部接続用電極または相互接続用電極
- 8 TAB(Tape Automated Bonding)用フィルム
- 81 TAB用フィルム上に形成された外部端子へ接続する配線

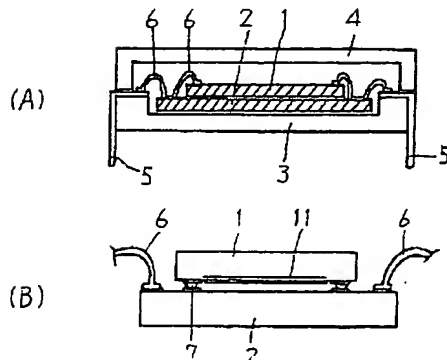
【図1】

実施例の断面図



【図3】

従来例2の説明図



【図2】

従来例1の説明図

